

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-237456

(P2002-237456A)

(43)公開日 平成14年8月23日(2002.8.23)

(51)Int.Cl. ⁷	識別記号	F I	テ-7コト ⁸ (参考)
H 01 L 21/203		H 01 L 21/203	M 5 F 0 4 3
21/205		21/205	5 F 0 4 5
21/306		29/06	6 0 1 D 5 F 0 7 3
21/338		H 01 S 5/343	5 F 1 0 2
29/06	6 0 1	H 01 L 29/80	H 5 F 1 0 3

審査請求 未請求 請求項の数11 OL (全11頁) 最終頁に続く

(21)出願番号 特願2001-183049(P2001-183049)

(22)出願日 平成13年6月18日(2001.6.18)

(31)優先権主張番号 特願2000-368398(P2000-368398)

(32)優先日 平成12年12月4日(2000.12.4)

(33)優先権主張国 日本 (JP)

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 松山 勇

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 100089093

弁理士 大西 健治

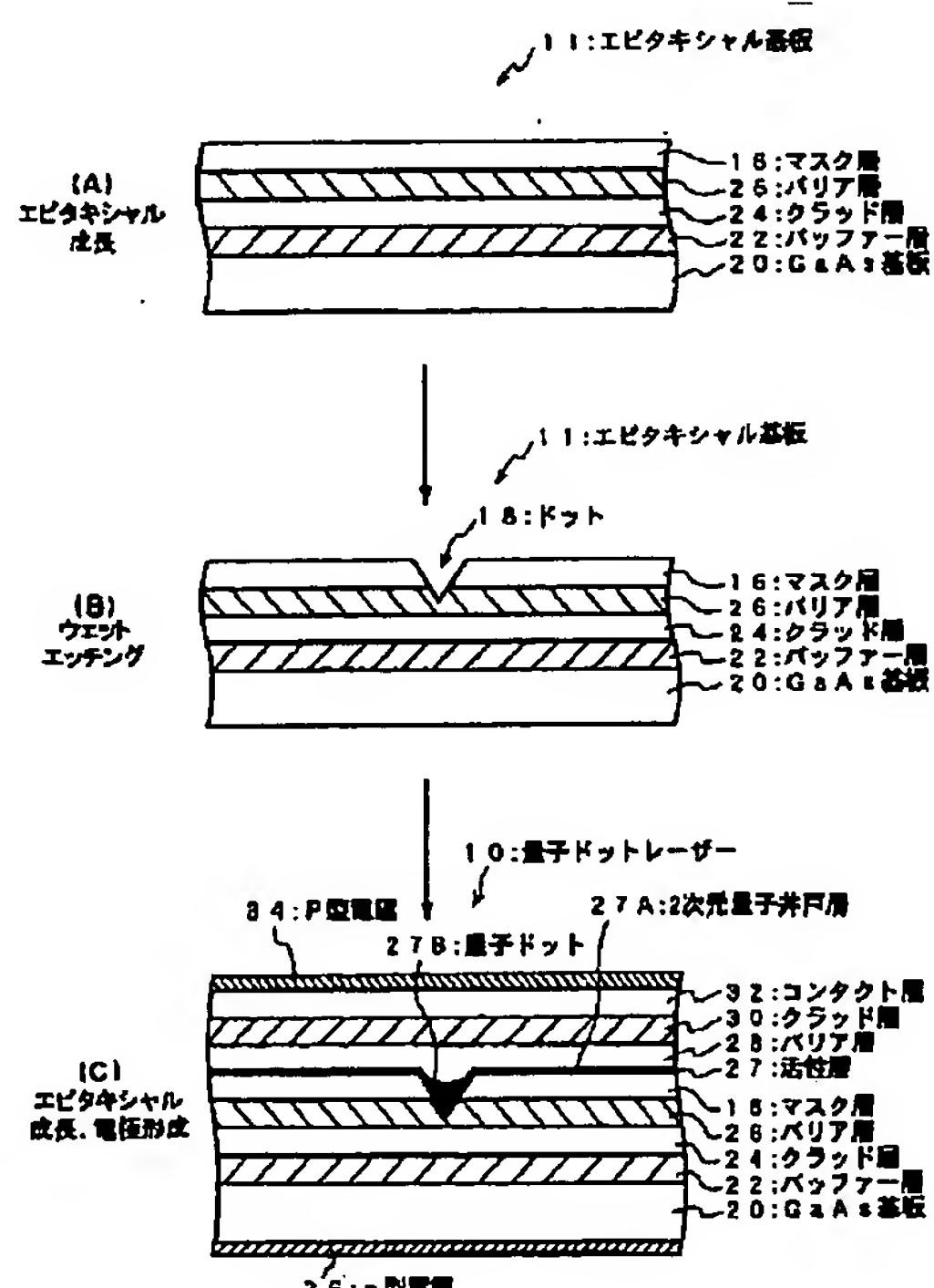
最終頁に続く

(54)【発明の名称】 半導体素子及びその製造方法

(57)【要約】

【課題】 ナノメーターサイズの極微細ドットパターンを半導体層に形成することができる半導体素子の製造方法と、これを用いることで動作特性の劣化を抑制することができる半導体素子を提供する。

【解決手段】 (100) SiドープGaAs基板20上にn⁺-GaAsバッファー層22、n-GaAsクラッド層24、ノンドープGaAsバリア層26、ZnドープGaAs層16をエピタキシャル成長させ90°Cに加熱した硫酸で1分間エッチングする。これにより最表面Zn原子を核としてZnドープGaAs層16中にドット18が形成される。次に水洗洗浄しノンドープIn_{0.15}Ga_{0.85}As活性層27、ノンドープGaAsバリア層28、p-GaAsクラッド層30、電極形成用コンタクト層p⁺-GaAs32をエピタキシャル成長させp型電極34、n型電極36を形成し量子ドットレーザ10を作製する。



【特許請求の範囲】

【請求項1】 GaAs又はInPから成る第1の半導体層上に、Zn原子がドープされたGaAs又はInPから成るマスク層を單原子層成長制御が可能なエピタキシャル成長によって形成する工程と、前記Zn原子を除去するための溶液を用いて少なくとも前記マスク層最表面の前記Zn原子を除去することによって、前記マスク層及び前記第1の半導体層に穴状ドットパターンを形成する工程と、を有することを特徴とする半導体素子の製造方法。

【請求項2】 GaAs又はInPから成る第1の半導体層と、Zn原子がドープされ、單原子層成長制御が可能なエピタキシャル成長によって形成されたGaAs又はInPから成るマスク層と、前記Zn原子を除去するための溶液を用いて少なくとも前記マスク層最表面の前記Zn原子を除去することによって、前記マスク層及び前記第1の半導体層に形成された穴状ドットパターンと、前記マスク層上に形成された活性層と、前記活性層上に形成された第2の半導体層と、を有することを特徴とする半導体素子。

【請求項3】 前記活性層は、 $In_z Ga_{1-z} As$ ($0 < z < 1$) から成ることを特徴とする請求項2記載の半導体素子。

【請求項4】 前記マスク層、前記第1の半導体層、及び前記第2の半導体層はそれぞれGaAsから成り、前記第1の半導体層は第1導電型の基板上にバッファー層、第1のクラッド層、及び第1のバリア層を順次積層して成り、前記第2の半導体層は第2のバリア層上に第2導電型の第2のクラッド層及び第2導電型のコンタクト層を順次積層して成ることを特徴とする請求項2記載の半導体素子。

【請求項5】 前記マスク層はGaAsから成り、前記第1の半導体層はGaAsから成る第1導電型の基板上にそれぞれ $Al_x Ga_{1-x} As$ ($0 < x < 0.4$) から成るバッファー層、第1のクラッド層、及び第1のバリア層を順次積層して成り、前記第2の半導体層は、それぞれ $Al_x Ga_{1-x} As$ ($0 < x < 0.4$) から成る第2のバリア層、第2導電型の第2のクラッド層、及び第2導電型のコンタクト層を順次積層して成り、前記活性層は前記 $Al_x Ga_{1-x} As$ ($0 < x < 0.4$) よりもエネルギーギャップの小さなエピタキシャル層から成ることを特徴とする請求項2記載の半導体素子。

【請求項6】 前記マスク層、前記第1の半導体層、及び前記第2の半導体層はそれぞれInPから成り、前記第1の半導体層は第1導電型の基板上にバッファー層、第1のクラッド層、及び第1のバリア層を順次積層して成り、前記第2の半導体層は第2のバリア層上に第2導電型の第2のクラッド層及び第2導電型のコンタクト層

を順次積層して成ることを特徴とする請求項2記載の半導体素子。

【請求項7】 前記マスク層はInPから成り、前記第1の半導体層はInPから成る第1導電型の基板上にそれぞれ $In_y Al_{1-y} As$ ($0 < y < 1$) から成るバッファー層、第1のクラッド層、及び第1のバリア層を順次積層して成り、前記第2の半導体層は、それぞれ $In_y Al_{1-y} As$ ($0 < y < 1$) から成る第2のバリア層、第2導電型の第2のクラッド層、及び第2導電型のコン

10 タクト層を順次積層して成り、前記活性層は前記 $In_y Al_{1-y} As$ ($0 < y < 1$) よりもエネルギーギャップの小さなエピタキシャル層から成ることを特徴とする請求項2記載の半導体素子。

【請求項8】 前記マスク層、前記第1の半導体層、及び前記第2の半導体層はGaAs又は $Al_x Ga_{1-x} As$ ($0 < x < 0.4$) から成り、前記第1の半導体層は、半絶縁性の基板上にバッファー層、n型の不純物をドープしたドナー層、及びスペーサ層を順次積層して成り、前記第2の半導体層は、ショットキー層上にn型の不純物をドープしたコンタクト層を積層して成ることを特徴とする請求項2記載の半導体素子。

【請求項9】 前記マスク層、前記第1の半導体層、及び前記第2の半導体層はInP又は $In_y Al_{1-y} As$ ($0 < y < 1$) から成り、前記第1の半導体層は、半絶縁性の基板上にバッファー層、n型の不純物をドープしたドナー層、及びスペーサ層を順次積層して成り、前記第2の半導体層は、ショットキー層上にn型の不純物をドープしたコンタクト層を積層して成ることを特徴とする請求項2記載の半導体素子。

30 【請求項10】 前記單原子層成長制御が可能なエピタキシャル成長は、分子線エピタキシー法、又は有機金属気相エピタキシー法を用いることを特徴とする請求項2記載の半導体素子。

【請求項11】 前記單原子層成長制御が可能なエピタキシャル成長は、分子線エピタキシー法、または有機金属気相エピタキシー法を用いることを特徴とする請求項1に記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

40 【発明の属する技術分野】 本発明は、半導体素子の製造方法及び半導体素子に係り、より詳しくは、單原子層(超格子)成長制御が可能な結晶成長技術及びウエットエッティング技術を組み合わせた化合物半導体素子の製造方法及びこれを用いた半導体素子に関する。

【0002】

【従来の技術】 一般に、従来の0次元閉じ込め量子効果を有する化合物半導体素子、例えば量子ドットレーザーの製造方法が「応用物理 第6.7巻第7号(1998)p 776~786」等の文献で報告されており、その製

50 造方法の1つとして図5に示すような方法が提案されて

いる。

【0003】この方法は、図5 (A) に示すように、まず、例えばn型半導体基板にエピタキシャル成長を施した半導体エピタキシャル基板100上に有機レジスト102を形成し、その上にマスク104を重ねて露光する。次に、図5 (B) に示すように例えばウェットエッチングによりディップ型のドット106を形成する。次に、レジスト102を除去し、図5 (C) に示すように、ドット106が形成された半導体エピタキシャル基板100に、再び單原子層成長制御が可能な結晶成長法、例えば分子線エピタキシー (MBE : M o l e c u l a r B e a m E p i t a x y) 法により量子井戸層108、P型クラッド層110、及びp型コンタクト層112をエピタキシャル成長させることによりヘテロ接合型量子井戸構造を有する量子ドット114を形成する。そして、図5 (D) に示すように、P型電極116をコンタクト層112上に形成し、半導体エピタキシャル基板100の下側にn型電極118を形成することにより半導体レーザーが作製される。

【0004】このように、量子ドット構造部分を活性層とする半導体レーザーが量子ドットレーザーであり、飛躍的な特性向上が期待できる。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来技術により作製した半導体素子、例えば量子ドットレーザーは、主にレジスト材料及びレジスト処理に起因するO (酸素)、C (炭素) 等が形成する表面準位 (あるいは界面準位) の数が、活性層サイズ (10 nm程度) に対する割合で比較した場合に通常の2次元量子井戸構造型半導体レーザーの活性層の場合と比べて急激に大きくなる。すなわち、例えば図5 (B) に示すエッチング工程において界面120に酸素、炭素などから成る不純物が付着する。

【0006】このため、バリア層および活性層中の伝導帯中に注入された電子は、充满帯のホールと結合するよりも高い確率で表面 (界面) 準位にあるホールと結合するようになる (表面再結合)。これにより、半導体レーザーの特性が劣化するという問題があった。

【0007】従って、良好な特性を有する量子ドットレーザーを作製するためには、0次元量子閉じ込め効果が発現するようなナノメーター (nm) サイズの量子井戸構造を作り込む技術の他に、上記表面 (界面) 準位のホールと電子との再結合を抑えること、すなわち、界面に付着する不純物を少なくすることが必要となる。

【0008】本発明は、上記問題を解決すべく成されたものであり、少なくともナノメーターサイズのドットパターンを所要のサイズ、密度で半導体層に形成するための半導体素子の製造方法及び動作特性の劣化を抑制することができる半導体素子を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するためには、請求項1記載の発明の半導体素子の製造方法は、GaAs又はInPから成る第1の半導体層上に、Zn原子がドープされたGaAs又はInPから成るマスク層を單原子層成長制御が可能なエピタキシャル成長によって形成する工程と、前記Zn原子を除去するための溶液を用いて少なくとも前記マスク層最表面の前記Zn原子を除去することによって、前記マスク層及び前記第1の半導体層に穴状ドットパターンを形成する工程と、を有することを特徴とする。

【0010】この発明によれば、例えば量子井戸構造を有する半導体レーザーや電界効果トランジスタ等の半導体素子の製造方法において、GaAs (砒化ガリウム) 又はInP (磷化インジウム) から成る第1の半導体層上に、Zn原子がドープされたGaAs又はInPから成るマスク層を單原子層成長制御が可能なエピタキシャル成長により形成する。この第1の半導体層には、例えば半絶縁性またはn型またはp型の(100)GaAs基板や、半絶縁性またはn型またはp型の(100)InP基板を用いることができる。

【0011】そして、Zn原子を除去するための溶液を用いて少なくとも前記マスク層最表面のZn原子を除去することによって、例えば硫酸の中に所定条件、例えば予め定めた温度及び時間で浸漬することによって、すなわちウェットエッチングすることによって、マスク層及び第1の半導体層に穴状ドットパターンを形成する。この穴状ドットパターンの径及び深さは所定溶液の温度や浸漬する時間によって変化するため、必要なドットサイズ、すなわち所要の量子効果を発現させることができるサイズや、マスク層及び第1の半導体層に応じて所定条件を設定する。また、マスク層にドープするZn原子のドープ濃度は、必要なドット形成間隔に応じて設定する。

【0012】このように、レジストや酸化膜等を全く用いずに基本的な基板処理プロセス及び結晶成長だけで量子ドットを形成するための穴状ドットパターンを形成することができるため、この穴状ドットパターンの表面を不純物のない清浄表面とすることができます。

【0013】請求項2記載の発明の半導体素子は、GaAs又はInPから成る第1の半導体層と、單原子層成長制御が可能なエピタキシャル成長によって形成され、Zn原子がドープされたGaAs又はInPから成るマスク層と、前記Zn原子を除去するための溶液を用いて少なくとも前記マスク層最表面の前記Zn原子を除去することによって、前記マスク層及び前記第1の半導体層に形成された穴状ドットパターンと、前記マスク層上に形成された活性層と、前記活性層上に形成された第2の半導体層と、を有することを特徴とする。

【0014】この発明によれば、請求項1記載の半導体素子の製造方法によってマスク層及び第1の半導体層に

形成された穴状ドットパターンが形成される。次に、この上に活性層として所要の量子井戸構造をエピタキシャル成長することによって、0次元的に電子を閉じ込める量子ドットが形成される。さらに、この上に引き続き前記第2の半導体層をエピタキシャル成長により形成する。これにより、例えば量子ドットレーザーとして機能させることができる。

【0015】このように、レジストや酸化膜等を全く用いずに基本的な基板処理プロセス及び単原子層成長制御が可能なエピタキシャル成長だけで量子ドットを形成するための穴状ドットパターンが形成されているため、穴状ドットパターンの表面が不純物のない清浄表面となる。従って、活性層に注入された電子は界面に再結合中心となる不純物準位がないので、ほとんどが量子ドットへ流れ込む。これにより、電子が効率良く活性層に注入されるためレーザー特性を向上させることができる。

【0016】なお、請求項3にも記載したように、前記活性層は、 $In_z Ga_{1-z} As$ ($0 < z < 1$) から成るように構成することができる。

【0017】また、請求項4にも記載したように、前記マスク層、前記第1の半導体層、及び前記第2の半導体層はそれぞれ $GaAs$ から成り、前記第1の半導体層は第1導電型の基板上にバッファー層、第1のクラッド層、及び第1のバリア層を順次積層して成り、前記第2の半導体層は第2のバリア層上に第2導電型の第2のクラッド層及び第2導電型のコンタクト層を順次積層して成る構成とすることができる。

【0018】また、請求項5にも記載したように、前記マスク層は $GaAs$ から成り、前記第1の半導体層は $GaAs$ から成る第1導電型の基板上にそれぞれ $Al_x Ga_{1-x} As$ ($0 < x < 0.4$) から成るバッファー層、第1のクラッド層、及び第1のバリア層を順次積層して成り、前記第2の半導体層は、それぞれ $Al_x Ga_{1-x} As$ ($0 < x < 0.4$) から成る第2のバリア層、第2導電型の第2のクラッド層、及び第2導電型のコンタクト層を順次積層して成り、前記活性層は前記 $Al_x Ga_{1-x} As$ ($0 < x < 0.4$) よりもエネルギーギャップの小さなエピタキシャル層から成る構成とすることができる。

【0019】また、請求項6にも記載したように、前記マスク層、前記第1の半導体層、及び前記第2の半導体層はそれぞれ InP から成り、前記第1の半導体層は第1導電型の基板上にバッファー層、第1のクラッド層、及び第1のバリア層を順次積層して成り、前記第2の半導体層は第2のバリア層上に第2導電型の第2のクラッド層及び第2導電型のコンタクト層を順次積層して成る構成とすることができる。

【0020】また、請求項7にも記載したように、前記マスク層は InP から成り、前記第1の半導体層は InP から成る第1導電型の基板上にそれぞれ $In_x Al_{1-x}$

As ($0 < y < 1$) から成るバッファー層、第1のクラッド層、及び第1のバリア層を順次積層して成り、前記第2の半導体層は、それぞれ $In_y Al_{1-y} As$ ($0 < y < 1$) から成る第2のバリア層、第2導電型の第2のクラッド層、及び第2導電型のコンタクト層を順次積層して成り、前記活性層は前記 $In_y Al_{1-y} As$ ($0 < y < 1$) よりもエネルギーギャップの小さなエピタキシャル層から成る構成とすることができる。

【0021】また、請求項8にも記載したように、前記マスク層、前記第1の半導体層、及び前記第2の半導体層は $GaAs$ 又は $Al_x Ga_{1-x} As$ ($0 < x < 0.4$) から成り、前記第1の半導体層は、半絶縁性の基板上にバッファー層、n型の不純物をドープしたドナー層、及びスペーサ層を順次積層して成り、前記第2の半導体層は、ショットキー層上にn型の不純物をドープしたコンタクト層を積層して成る構成とすることができる。

【0022】また、請求項9にも記載したように、前記マスク層、前記第1の半導体層、及び前記第2の半導体層は InP 又は $In_y Al_{1-y} As$ ($0 < y < 1$) から成り、前記第1の半導体層は、半絶縁性の基板上にバッファー層、n型の不純物をドープしたドナー層、及びスペーサ層を順次積層して成り、前記第2の半導体層は、ショットキー層上にn型の不純物をドープしたコンタクト層を積層して成る構成とすることができる。

【0023】請求項8又は請求項9記載の発明によれば、コンタクト層上にゲート、ソース、ドレインの各電極を形成することにより単電子トランジスタ動作を示す電界効果トランジスタ(FET)を作製することができる。

【0024】なお、第1導電型は例えばn型又はp型であり、第2導電型はp型又はn型である。すなわち、第1導電型がn型の場合には第2導電型はp型となり、第1導電型がp型の場合には第2導電型はn型となる。

【0025】また、請求項10にも記載したように、単原子層成長制御が可能なエピタキシャル成長に、分子線エピタキシー法、又は有機金属気相エピタキシー法を用いて製造された半導体素子を得ることができる。

【0026】また、請求項11にも記載したように、半導体素子は、単原子層成長制御が可能なエピタキシャル成長として、分子線エピタキシー法、又は有機金属気相エピタキシー法を用いて製造することができる。

【0027】

【発明の実施の形態】【第1実施形態】以下、本発明の第1実施形態として、少なくとも単原子層成長制御が可能なエピタキシャル成長法により形成したマスク層及び連続する半導体層に穴状ドットパターンを形成する方法について説明する。

【0028】まず、図1(A)に示すように、半導体基板、例えば半絶縁性(100) $GaAs$ 基板12上にノンドープ $GaAs$ バッファー層14を500nmエピタ

キシャル成長させる。引き続き、本発明でマスク層の役目をするZnドープGaAs層16を3nmエピタキシャル成長させる。なお、このZnドープGaAs層16のZnのドープ濃度は、 $1 \times 10^{17} \text{ cm}^{-3}$ である。この程度のドープ量の場合、GaAs結晶中の 10^6 個の原子に対して約1個の割合でZn原子が一様に分布する。【0029】なお、少なくともマスク層のエピタキシャル成長は、バターンサイズの微細化に対応可能にするために、単原子層成長制御が可能なエピタキシャル結晶成長法である例えばMBE法を用いて図示しないMBE結晶成長装置により行う。

【0030】そして、このように作製したエピタキシャル基板11を図示しないMBE結晶成長装置から一旦取り出し、図1(B)に示すように90°Cに加熱した硫酸(H₂SO₄)の中で一例として1分間ウェットエッチングする。

【0031】これにより、図1(C)に示すような上面の円の直径が20nm、深さが10nm程度の逆円錐形状のドット18が形成される。ここで、前述したようにZnドープGaAs層16のZnのドープ量は $1 \times 10^{17} \text{ cm}^{-3}$ であるため、GaAs結晶中のZn原子を中心として見た場合、半径約10nmの周囲に他のZn原子は存在しないと考えることができ、ほぼ1個のZn原子に対して1つのドット18が形成されたものと概算することができる。

【0032】ところで、井戸型ポテンシャル中の電子に量子効果が顕著に発現するサイズは、10nmオーダーである事が知られている。上記のようにして形成されたドット18はこの量子効果が発現するサイズに近いものとなっており、この発明を用いることにより量子ドットのような極微細バターンの作製が可能であることがわかる。

【0033】次に、ウェットエッチングによりドット18が形成されるメカニズムについて説明する。

【0034】GaAs及びInPなどのIII-V族化合物半導体中にドープされたZn原子は、V族原子位置(GaAsの場合はAs原子位置)に配置する事が知られている。

【0035】そして、このZnドープGaAs及びInP層を少なくとも上記記載のエッチング条件で浸漬すると、まず最表面層に位置するドープされたZn原子だけが選択的に脱離する。さらにウェットエッチングを続けると、Zn原子が抜けた周囲の最近接位置に位置するII族のGa原子が脱離し、その次に第二最近接位置にあるV族のAs原子が脱離する。このような現象がZn原子を起点としてV族及びIII族原子間で連鎖的に起こる。

【0036】このようにZn原子の脱離跡を核として上記ドット18が形成されるのは、Zn原子がGaAs(100)面の最表面から抜けたことにより出来るミク

ロな穴状ドット表面がGaAs基板の(100)表面とは異なる面方位を形成することに起因している。すなわち、GaAs(100)表面とミクロなドットパターンの結晶面とは面方位が異なっており、GaAs結晶における上記エッチング溶液のエッチング速度の異方性(面方位依存性)に起因するものである。

【0037】なお、GaAs中にドープされたZn原子のうち、最表面Zn原子が選択的に脱離するのは、GaAs中におけるZn原子とAs原子の結合エネルギーの違いによるものと考えられる。

【0038】このため、上記マスク層が、本発明で述べた90°Cに加熱された硫酸溶液中でエッチングされると、Zn原子の格子位置を中心として起こるミクロな格子欠陥が、ZnドープGaAs層16及びこれに連続するノンドープGaAsバッファー層14に形成されるドット18となる。このドット18はエッチング時間に対応して徐々にそのサイズ(上面の直径、深さ)が大きくなる。

【0039】このように、本実施形態では、通常のバターン形成プロセス等でよく用いられる有機レジスト又は酸化膜等を全く用いずに、基本的な基板処理プロセス及び結晶成長だけでドットを形成できるため、ドット形成後のエピタキシャル層最表面はコンタミネーションフリー、すなわち不純物のない清浄表面となる。

【0040】前述したように、エピタキシャル層表面あるいはエピタキシャル層中の界面に、有機レジストを用いたプロセス等により不純物が取り込まれると、電子デバイスではキャリア空乏化、光デバイスでは電子の非発光再結合が発生し、いずれもデバイス性能を低下させる原因となるが、本発明では、エピタキシャル薄膜層であるZnドープGaAs層16をマスクとして利用するため、不純物の取り込みを防ぐことができる。

【0041】また、エピタキシャル層の成長方法として単原子層制御可能なエピタキシャル成長法を利用するため、所謂原子層エピタキシーが可能となり、マスクとなるエピタキシャル層は数原子層程度の極めて薄い層を形成することができる。これにより、ドットパターンのサイズがナノメーターオーダーの微細なパターンも作製することができるようになるため、プロセス設計上の自由度を拡大することができる。

【0042】また、エッチング時間を制御することでドットサイズを任意のサイズに形成することができ、Zn原子のドーピング濃度を制御することでドット密度を任意に設計出来る。ドット密度の均一性に関しては、Zn原子のドーピングがエピタキシャル成長法によるため極めて均一性の高い面内分布を得ることができる。

【0043】なお、本実施形態では、硫酸溶液の温度を90°Cに設定しているが、溶液の温度を高くするとエッチング速度が急激に変わるので、ドット18のサイズ(上面の直径及び深さ)に応じて温度と時間を設定する

必要がある。

【0044】また、上記では半絶縁性(100)GaAs基板12及びZnドープGaAs層16を用いたが、InP基板及びZnドープInPエピタキシャル層を用いてもよい。

【0045】[第2実施形態] 次に、本発明の第2実施形態として、第1実施形態で説明したドットの形成方法を用いた半導体素子、例えば半導体レーザーの製造方法について説明する。

【0046】図2には半導体レーザーの製造方法の工程が示されている。まず、図2(A)に示すように、例えば(100)SiドープGaAs基板20(Si濃度: $3 \times 10^{18} \text{ cm}^{-3}$)上にn-GaAsバッファー層22(Si濃度: $3 \times 10^{18} \text{ cm}^{-3}$)を100nmエピタキシャル成長により形成する。

【0047】次に、n-GaAsクラッド層24を500nmエピタキシャル成長により形成する。なお、このn-GaAsクラッド層24のSiのドープ濃度は $2 \times 10^{18} \text{ cm}^{-3}$ である。

【0048】次に、ノンドープGaAsバリア層26を15nmエピタキシャル成長により形成し、さらに本発明におけるマスク層の役目をするZnドープGaAs層16(Zn濃度: $1 \times 10^{17} \text{ cm}^{-3}$)を3nmエピタキシャル成長により形成する。

【0049】そして、このようにして作製したエピタキシャル基板11を図示しないMBE装置から一旦取り出し、図2(B)に示すように90°Cに加熱した硫酸(H₂SO₄)の中で、一例として1分間エッチングする。このウェットエッチングにより、上記第1実施形態で説明したのと同様に、最表面Zn原子を核としてZnドープGaAs層16からノンドープGaAsバリア層26にかけて穴状ドット18が形成される。

【0050】次に、上記プロセスを施したエピタキシャル基板11を水洗洗浄し、再び図示しないMBE装置にセットし、エピタキシャル成長することにより所要の活性層用量子井戸構造を形成する。すなわち、まず、図2(C)に示すように、例えばノンドープIn_{0.15}Ga_{0.85}As活性層27を10nmエピタキシャル成長により形成する。

【0051】次に、ノンドープGaAsバリア層28を3nm、p-GaAsクラッド層30(Be濃度: $5 \times 10^{18} \text{ cm}^{-3}$)を500nm、電極形成用Beドープp⁺-GaAsコンタクト層32(Be濃度: $1 \times 10^{19} \text{ cm}^{-3}$)を100nmエピタキシャル成長により形成する。

【0052】n-GaAsクラッド層24とp-GaAsクラッド層30との間に挟まれたノンドープIn_{0.15}Ga_{0.85}As活性層27は、(100)面上に設計値と同じ厚さ10nmの2次元量子井戸層27Aを形成すると共に、ドットのディップ底部に(100)面上に比べ

て設計値よりもIn組成の大きい0次元量子井戸構造、すなわち量子ドット27Bを形成する。このようにGaAs基板上に逆円錐形状のドットパターンを形成し、これにInGaAsをエピタキシャル成長させた場合にIn組成の大きい量子ドットが形成される例については、文献Applied Physics Letters 61巻7号(1992年)813頁に記載されており、周知の事実である。

【0053】そして、このような構造をもつエピタキシャル基板に通常の半導体レーザーと同様の電極形成プロセスを施し、電極形成用p⁺-GaAsコンタクト層32の上側にp型電極34を形成し、(100)SiドープGaAs基板20の下側にn型電極36を形成することにより、量子ドットレーザー10が作製される。

【0054】この量子ドットレーザー10に電流を流すと、注入された電子の多くは一旦厚さが10nmの2次元量子井戸層27Aに流れ込むが、量子ドット27Bの方が伝導帯のエネルギー準位が低いので、最終的に電子は2次元量子井戸層27Aから量子ドット27Bへ流れ込み、量子ドット27Bの伝導帯-充满帯間で誘導放出を起こしレーザー発振が起きる。

【0055】このように、本実施形態では、通常のパターン形成プロセス等でよく用いられる有機レジスト又は酸化膜等を全く用いないため、再成長界面はコンタミネーションフリーの清浄表面が形成される。このため、量子井戸のヘテロ界面に再結合中心となる不純物順位がないので、注入された電子はほとんど全て2次元量子井戸層27Aから0次元量子井戸層すなわち量子ドット27Bへ流れ込み、効率良く活性層に注入されるのでレーザー特性が向上する。

【0056】また、エッチング時間を制御することでドットサイズを任意のサイズに形成することができ、Zn原子のドーピング濃度を制御することでドット密度を任意に設計出来る。ドット密度の均一性に関しては、Zn原子のドーピングがエピタキシャル成長法によるため極めて均一性の高い面内分布を得ることができる。

【0057】なお、本実施形態ではGaAs層の部分をAl_xGa_{1-x}As(0 < x < 0.4)混晶に、ノンドープInGaAs活性層27をノンドープGaAs層に置換てもよい。

【0058】また、本実施形態ではn-GaAs基板を用いたが、例えばZnを $2 \times 10^{19} \text{ cm}^{-3}$ 程度ドープしたp⁺-GaAs基板を使用し、p型とn型とが反転した構造の半導体量子ドットレーザーを作ることも可能である。

【0059】[第3実施形態] 次に、本発明の第3実施形態について説明する。第2実施形態では半導体基板としてSiドープGaAs基板を用いたが、本実施形態では、n型の半導体基板としてSnドープInP基板を用いた場合について説明する。また、單原子層成長制御が

11

可能で、しかもInP基板と同じ結晶(InP)を成長させるのに一般的に用いられているエピタキシャル成長法である有機金属気相エピタキシー(MOVPE)法を用いた場合について説明する。

【0060】まず、図3(A)に示すように、(100)SnドープInP基板40上に、MOVPE法によりn-InPバッファー層42(Si濃度: $3 \times 10^{18} \text{ cm}^{-3}$)を100nm形成する。

【0061】次に、n-InPクラッド層44(Si濃度: $2 \times 10^{18} \text{ cm}^{-3}$)を500nm、ノンドープInPバリア層46を15nm、更にZnドープInP層48(Zn濃度: $1 \times 10^{17} \text{ cm}^{-3}$)を3nmエピタキシャル成長させる。

【0062】そして、このように作製したエピタキシャル基板11を図示しないMOVPE結晶成長装置から一旦取り出し、図3(B)に示すように、一例として45°Cに加熱した硫酸溶液中で1分間エッティングする。

【0063】ところで、第1実施形態及び第2実施形態ではZnドープGaAsエピタキシャル層に対して90°Cに加熱した硫酸を用いてエッティングしたが、本実施形態の構成でこの温度まで上げてエッティングした場合、Znの脱離速度及びInPのエッティング速度が100倍以上速くなり制御不可能となってしまう。

【0064】このように、InPの場合とGaAsの場合とでは同じ温度の硫酸でエッティングした場合でもエッティング速度が変化するので、それぞれ制御可能な適切なエッティング速度の温度に設定する必要がある。

【0065】このため、本実施形態では硫酸の温度を45°Cに設定してウェットエッティングしている。このウェットエッティングにより、上記実施形態で説明したのと同様に、始めにZn原子だけが選択的に脱離する。更にエッティングを続けると、脱離したZn原子の格子位置跡を核にしてIn原子とP原子が連鎖的に脱離し、ディップ状のドット18が形成される。これは、上記実施形態で説明したのと同様に、InP層の最表面Zn原子が脱離したことにより(100)表面とは異なる面指数のミクロな表面が形成され、引き続きエッティングを続けることでInP表面における面方位に依存したエッティング異方性により、このミクロなパターンは相似的に拡大されていきドット18が形成される。

【0066】次に、所要のドットサイズのドット18が形成されたところでウェットエッティングを止めてエピタキシャル基板11を水洗洗浄し、このエピタキシャル基板11を再び図示しないMOVPE装置にセットし、デバイス構造を構成する残りのエピタキシャル層の再成長を行う。

【0067】すなわち、まず、図3(C)に示すように、ノンドープIn_{0.53}Ga_{0.47}As活性層50を10nmエピタキシャル成長により形成する。

【0068】次に、ノンドープInPバリア層52を3

12

nmエピタキシャル成長により形成する。

【0069】次に、p-InPクラッド層54(Zn濃度: $1 \times 10^{18} \text{ cm}^{-3}$)を500nm、p-InPコンタクト層56(Zn濃度: $2 \times 10^{18} \text{ cm}^{-3}$)を100nmエピタキシャル成長により形成する。

【0070】ノンドープInPバリア層46とp-InPクラッド層54で挟まれたノンドープIn_{0.53}Ga_{0.47}As活性層50は、(100)平面上に設計値通り厚さ10nmの2次元量子井戸層50Aを形成すると共に、ドットのディップ底部に(100)面上よりも大きなIn組成を有する0次元量子井戸構造、すなわち量子ドット50Bを形成する。

【0071】そして、このような構造をもつエピタキシャル基板に通常の半導体レーザーと同様の電極形成プロセスを施し、p-InPコンタクト層56の上側にp型電極58を形成し、(100)SnドープInP基板40の下側にn型電極60を形成することにより、量子ドットレーザー10が作製される。

【0072】この量子ドットレーザー10の電極から注入された電子は、初めはほとんどが(100)平面上の2次元量子井戸50Aに流れるが、0次元量子井戸層、すなわち量子ドット50Bの方が伝導帯のエネルギー準位が低いので、最終的に量子ドット50Bの伝導帯へ流れ込み、0次元閉じ込め量子効果による良好なレーザー発振特性が得られる。

【0073】なお、本実施形態では、通常リン(P)化合物半導体をエピタキシャル成長するのに比較的よく用いられるMBE法以外の単原子層成長制御が可能なエピタキシャル成長法としてMOVPE法を用いているが、これも上記第2実施形態と同様に、MOVPE法によりエピタキシャル成長した薄膜のマスク層であるZnドープInP層48においてもZn原子がウェットエッティングによって選択的に脱離することを利用するものである。このようにMOVPE法を用いることにより、マスクの役目を果たすZnドープInP層48およびノンドープInP層46はクラッド層と同じ格子歪みのない良好な同種の結晶層(ホモエピ層)が得られる。

【0074】また、有機レジスト等を一切用いていないのでコンタミネーションフリーの清浄表面を得ることが出来る。このため、電子の再結合中心が形成されないでレーザーの特性を向上させることができる。

【0075】また、エッティング時間に比例してInP表面上に形成されるドットサイズを任意に変えることが出来るので、量子ドットサイズの大きさを自由に変えることができ、サイズを均一にすることができる。Zn原子はInP中にドーピングにより取り込まれるので、結晶中に一様に分布することが予想され、このため量子ドットが結晶表面に均一に分布することが期待できる。さらに、InP基板を用いることで、InPの方がGaAsよりもエネルギーギャップが小さいので量子ドットレー

ザーの発振波長も GaAs の場合に比べて変化することが予想され、量子ドットレーザーの機能の多様化が期待できる。

【0076】なお、本実施形態では p-InP クラッド層 54、n-InP クラッド層 44、Zn ドープ InP 層 48、及びノンドープ InP バリア層 46 を用いたが、この InP 層の部分を In_yAl_{1-y}As (y=0.52) 層に置換えてもよい。

【0077】また、本実施形態では n-InP 基板を用いたが、例えば Zn を $2 \times 10^{19} \text{ cm}^{-3}$ 程度ドープした p-InP 基板を使用し、p 型と n 型とが反転した構造の半導体量子ドットレーザーを作ることも可能である。

【0078】[第4実施形態] 次に、本発明の第4実施形態として、量子ドットを用いた他の半導体素子の製造方法について説明する。

【0079】図4には量子ドットを用いた電界効果トランジスタ (FET)、一例として高電子移動度トランジスタ (HEMT) の製造方法の工程が示されている。

【0080】まず、図4 (A) に示すように、半絶縁性半導体基板、例えば半絶縁性 (100) GaAs 基板 62 上に単原子層成長制御が可能な成長方法であるMBE 法によりノンドープ GaAs バッファー層 64 を 500 nm 形成し、ノンドープ Al_{0.3}Ga_{0.7}As バリア層 66 を 200 nm 形成する。

【0081】次に、Si ドープ Al_{0.3}Ga_{0.7}As ドナー層 68 (Si 濃度: $3 \times 10^{18} \text{ cm}^{-3}$) を 10 nm、ノンドープ GaAs スペーサ層 (バリア層) 70 を 10 nm、マスクの役目をする Zn ドープ GaAs 層 72 (Zn 濃度: $1 \times 10^{17} \text{ cm}^{-3}$) を 3 nm エピタキシャル成長により各々形成する。

【0082】次に、このエピタキシャル基板 11 を図示しないMBE 装置から一旦取り出し、図4 (B) に示すように硫酸中で所定温度で所定時間エッチングする。例えば 90 °C に加熱した硫酸溶液中で 1 分間エッチングする。このエッチングにより、第1実施形態及び第2実施形態で示したのと同様に、Zn ドープ GaAs 層 72 の表面上にディップ状のドット 18 が形成される。

【0083】そして、所要のドットサイズが得られたところでウエットエッチングを止めて水洗洗浄し、この水洗洗浄したエピタキシャル基板 11 を再び図示しない MBE 装置にセットし、所要のデバイス構造を構成する残りのエピ層部分の再成長を行う。

【0084】すなわち、まず、図4 (C) に示すように、例えば、ノンドープ In_{0.2}Ga_{0.8}As チャネル層 74 を 10 nm 形成し、ノンドープ GaAs ショットキー層 76 を 10 nm 形成する。

【0085】次に、n-GaAs コンタクト層 78 (Si 濃度: $3 \times 10^{18} \text{ cm}^{-3}$) を 100 nm エピタキシャル成長により形成する。

【0086】ノンドープ GaAs バリア層 70 とノンドープ GaAs ショットキー層 76 で挟まれた InGaAs チャネル層 74 は (100) 平面上に設計値通りの厚さ 10 nm の 2 次元量子井戸層 74A を形成すると同時に、ディップ状ドット底部に (100) 面上よりも大きな In 組成を有する 0 次元量子井戸構造、すなわち量子ドット 74B を形成する。

【0087】そして、このエピタキシャル基板 11 に対して通常の電界効果トランジスタ、例えば HEMT 構造と同様の半導体プロセスにより、ソース、ドレインのオーミックコンタクト 80S、80D を、ゲートのショットキーコンタクト 80G を各々作製する。例えば、ゲート長が 500 nm で Zn のドーピング濃度が $1 \times 10^{17} \text{ cm}^{-3}$ の場合、ソース-ドレイン間の直線状に約 20 個のドット (Zn 原子) が存在するものと概算でき、このドットが 2 次元量子井戸中に均一に分布するドットアレイが形成される。なお、図4 では繁雑さを防ぐためにゲートを量子ドット 1 個が形成された場合を示した。このようにして電界効果トランジスタ 90 が作製される。

【0088】上記第2実施形態及び第3実施形態で述べたように、ノンドープ In_{0.2}Ga_{0.8}As チャネル層 74 中のキャリアは、当初チャネルの多くの面積を占める 2 次元量子井戸層 74A 中に滞在するが、量子ドット 74B の方が In 組成が高く伝導帯のエネルギー準位が低いので、最終的に量子ドット 74B の 0 次元井戸層内に落ち込む。

【0089】この様な構造を有する半導体素子のドレン電流-ゲート電圧特性は、ゲート電圧を変える事で空乏層広がりが変調されると同時にドット内部のポテンシャルが変調される。このため、ゲート電圧変化とともに通常の FET 特性に加え、あるゲート電圧において量子ドット特有のスパイク状のドレン電流が得られる。すなわち、所謂单電子トランジスタ動作を示す。

【0090】このように、Zn ドープ GaAs 層薄膜をマスクとして利用することにより、第2実施形態及び第3実施形態で説明したのと同様に、チャネル層およびバリア層の再成長界面にコンタミネーションフリーの清浄表面が得られ、キャリア空乏の少ない单電子トランジスタを作製することができる。また、ドットのサイズおよび面内密度については、それぞれエッチング時間および Zn ドーピング濃度を変化させる事で任意に設計できる。

【0091】なお、本実施形態では、半絶縁性 GaAs 基板を用いたが、例えば半絶縁性 InP 基板を用いて InP 基板上にノンドープ In_yAl_{1-y}As (y=0.52) バッファー層を 500 nm、n-In_yAl_{1-y}As ドナー層 (Si 濃度: $3 \times 10^{18} \text{ cm}^{-3}$) を 10 nm、ノンドープ In_yAl_{1-y}As スペーサ層 (バリア層) を 10 nm、Zn ドープ InP マスク層 (Zn 濃度: $1 \times 10^{17} \text{ cm}^{-3}$) 3 nm エピタキシャル成長さ

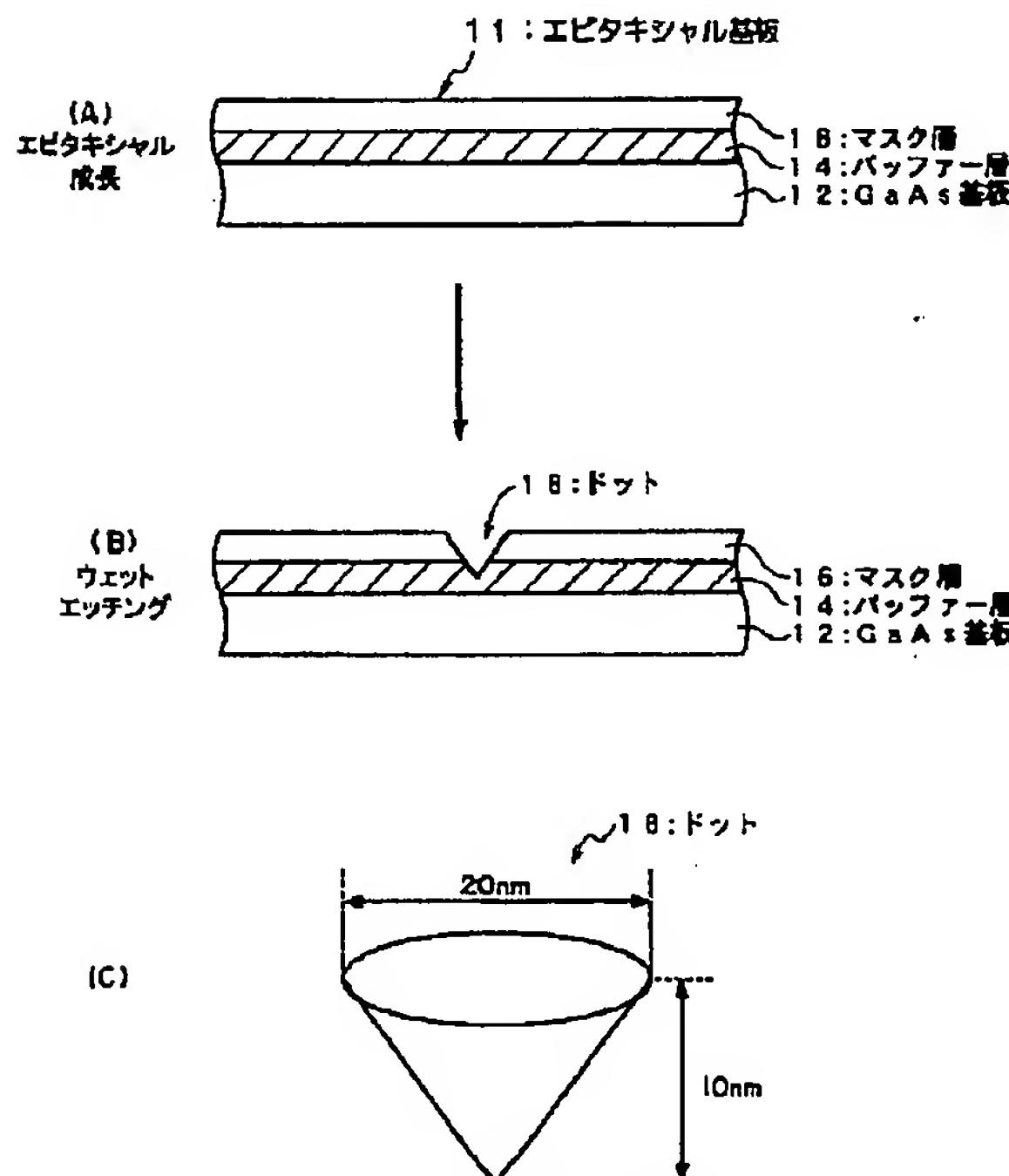
15

せて硫酸エッティングした後、再びノンドープ $In_xGa_{1-x}As$ ($Z=0.53$) チャネル層を 10 nm 、ノンドープ $In_yAl_{1-y}As$ ショットキー層を 10 nm 、 $n-In_xGa_{1-x}As$ コンタクト層 (Si 濃度: $3 \times 10^{18}\text{ cm}^{-3}$) を 50 nm エピタキシャル成長させ、通常のFETにおけるソース、ドレイン、ゲート電極を作製することにより InP 基板上に単電子トランジスタを作製することもできる。

【0092】

【発明の効果】以上説明したように、本発明によれば、第1に、マスク層を形成するのに単原子層成長制御が可能なエピタキシャル成長法を用いているので、エッティングにより形成される穴状ドットパターンはナノメーターサイズの極微細なものを得ることができ、第2に、レジストや酸化膜等を用いずに量子ドットを形成するための穴状ドットパターンを形成することができるため、このドットパターンの表面を不純物の少ない清浄表面とすることができる、という2つの効果を有する。

【図1】



16

【図面の簡単な説明】

【図1】第1実施形態に係る半導体プロセスの工程について説明するための図である。

【図2】第2実施形態に係る半導体素子の製造方法の工程について説明するための図である。

【図3】第3実施形態に係る半導体素子の製造方法の工程について説明するための図である。

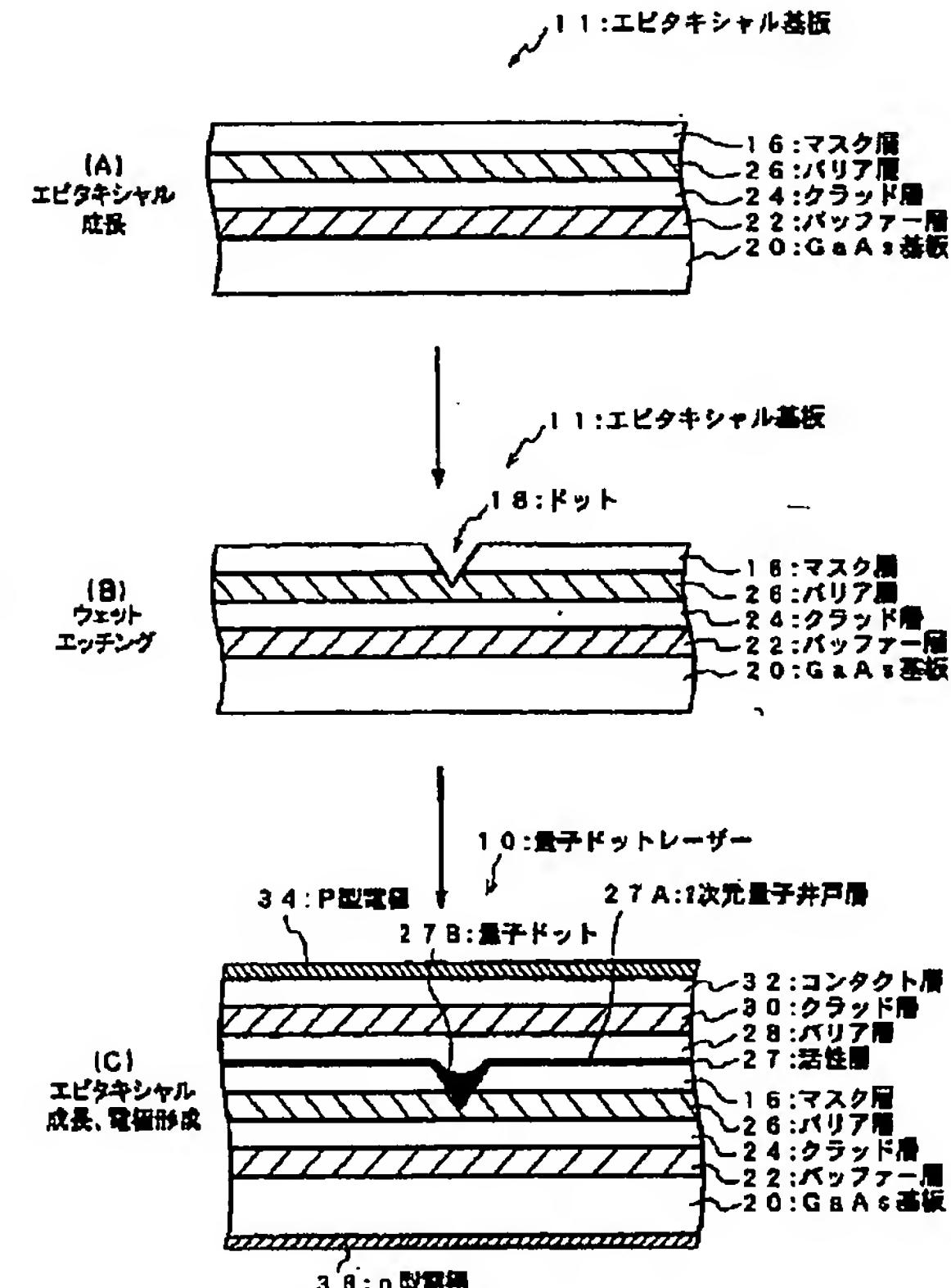
【図4】第4実施形態に係る半導体素子の製造方法の工程について説明するための図である。

【図5】従来例に係る半導体素子の製造方法の工程について説明するための図である。

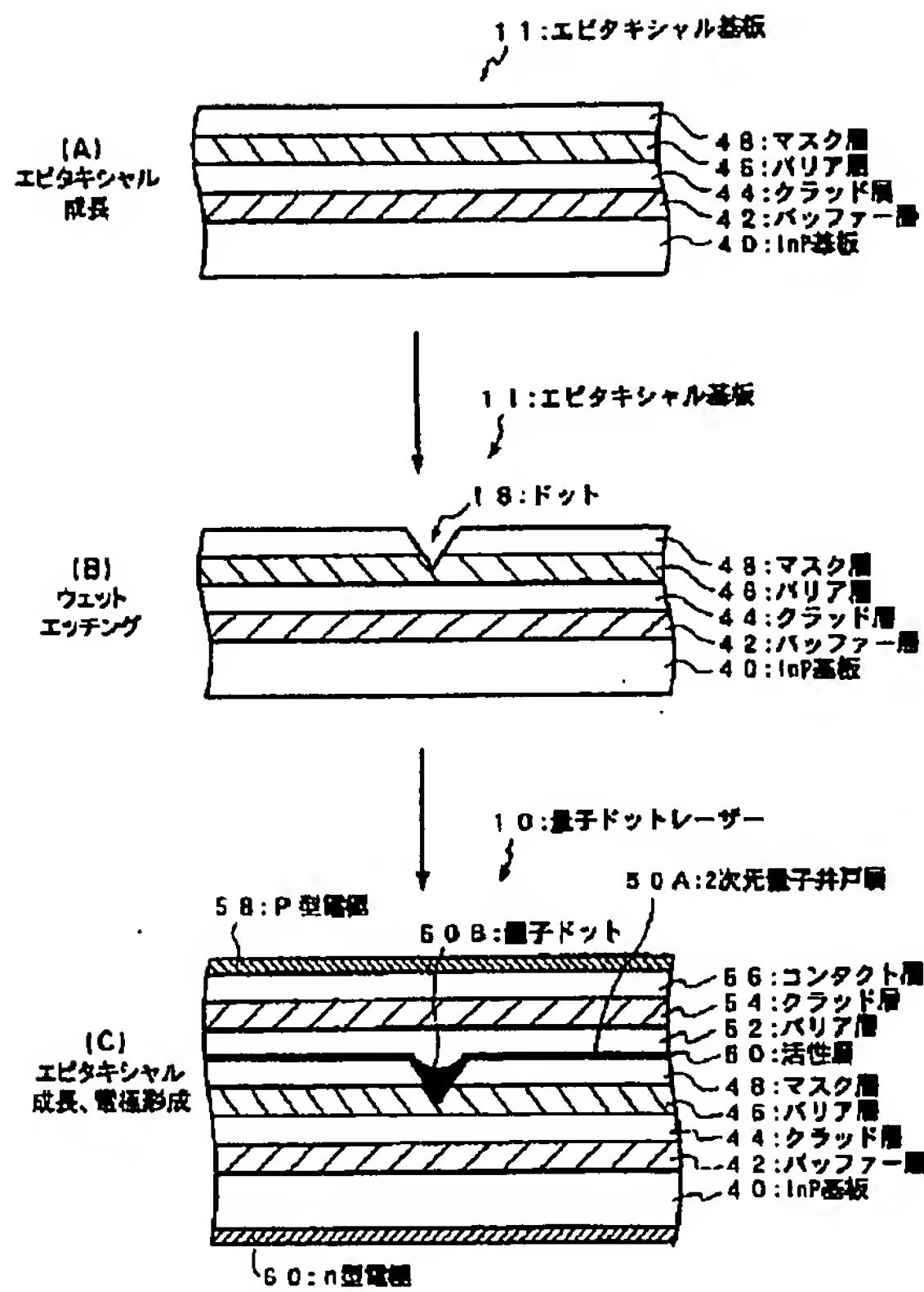
【符号の説明】

10	量子ドットレーザ
11	エピタキシャル基板
12	半絶縁性 (100) GaAs 基板
14	ノンドープ GaAs バッファー層
16	Zn ドープ GaAs 層 (マスク層)
18	ドット

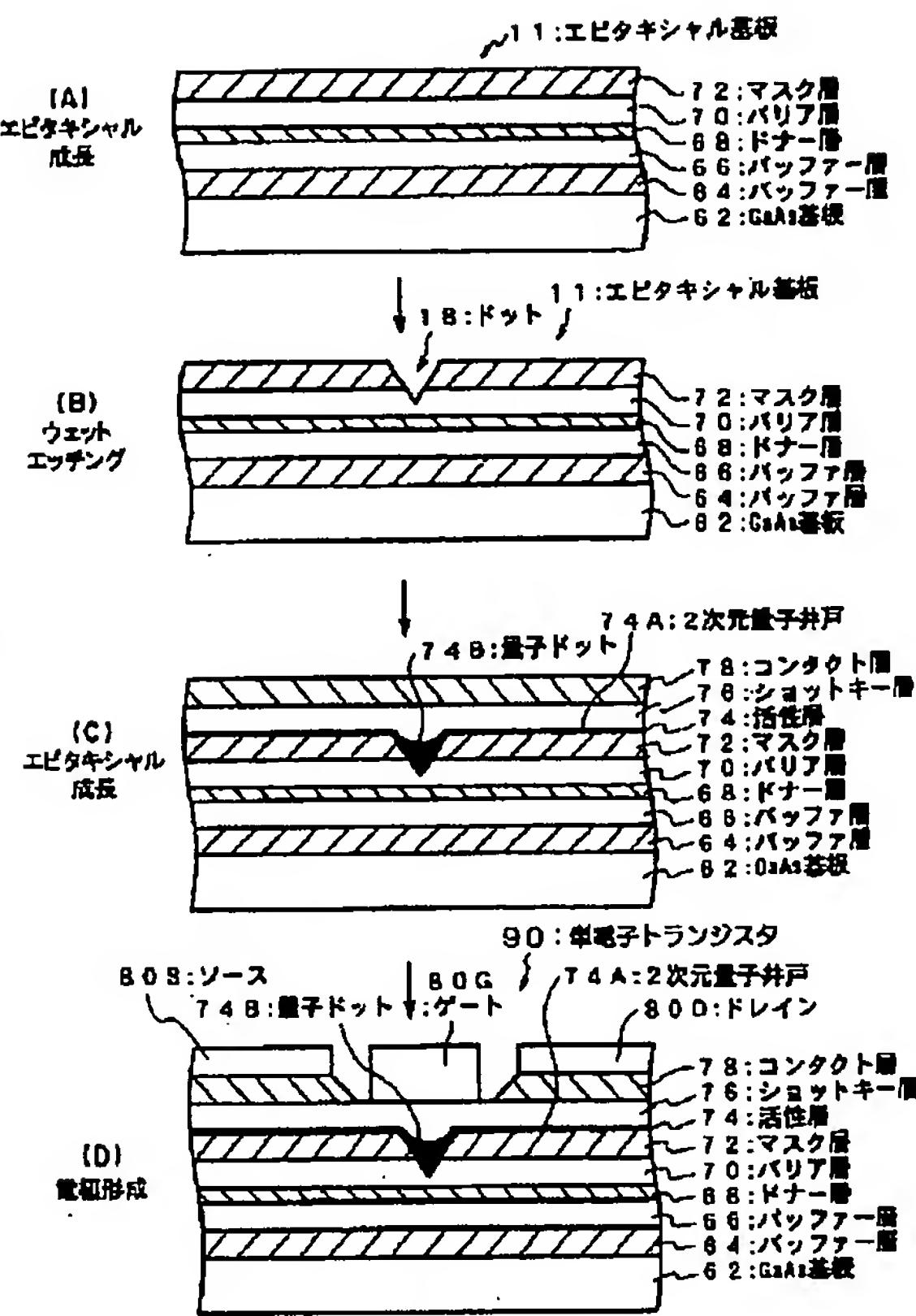
【図2】



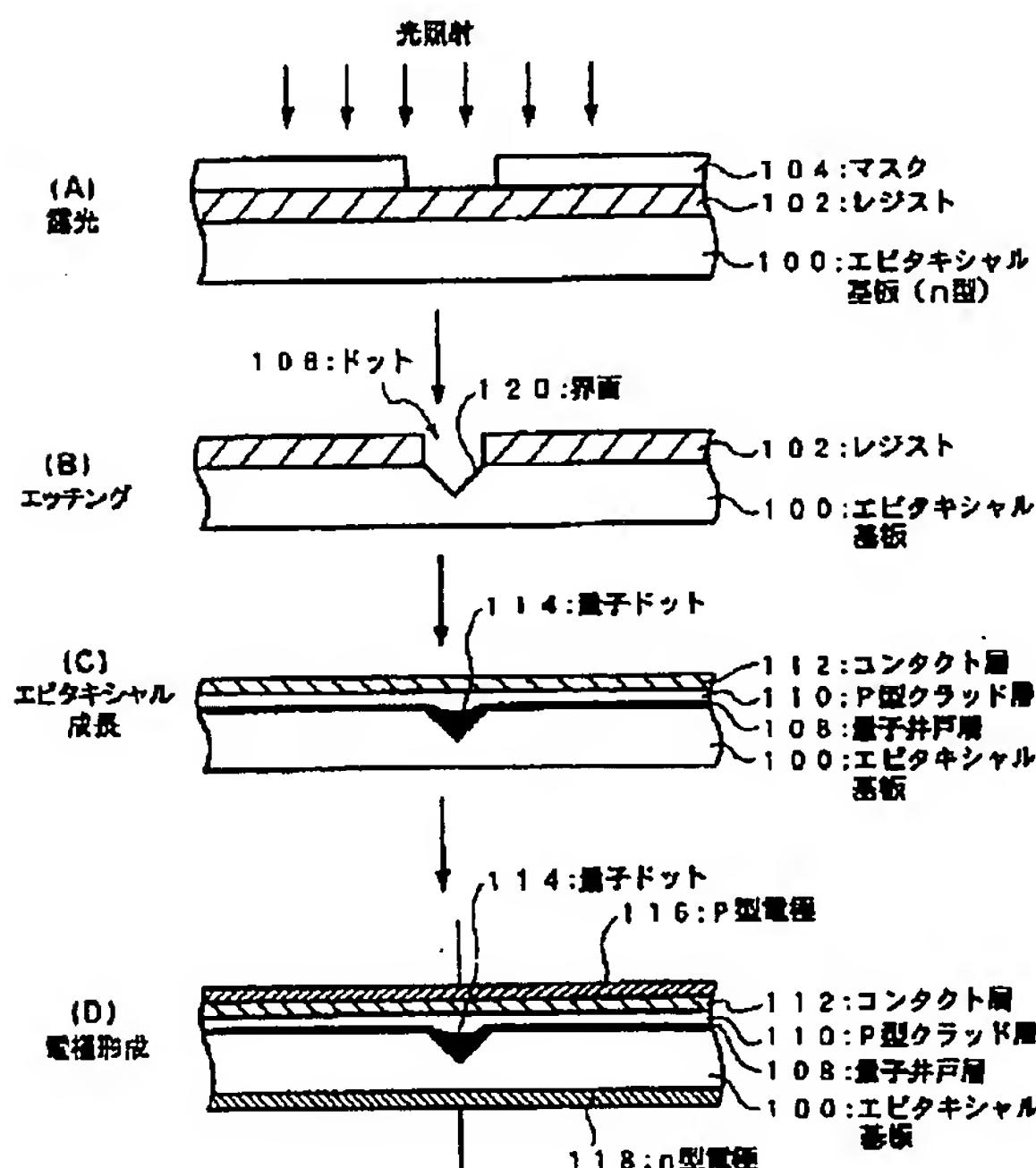
【図3】



【図4】



【図5】



フロントページの続き

(51) Int.Cl.	識別記号	F I	コード(参考)
H 0 1 L	29/778	H 0 1 L	21/306
	29/812		B
H 0 1 S	5/343		

Fターム(参考) 5F043 AA14 AA15 AA40 GG10
5F045 AA04 AB12 AB17 AF20 BB14
CA12 CB02 DA56 DB05 HA04
5F073 AA75 CA01 CB02 DA06 DA11
DA22 EA28
5F102 GB01 GC01 GD01 GJ05 GK04
GL05 GM08 GQ01 GR01 HC01
HC07
5F103 AA04 DD01 DD03 HH03 KK04
LL03 PP06

PAT-NO: JP02002237456A
DOCUMENT-IDENTIFIER: JP 2002237456 A
TITLE: SEMICONDUCTOR DEVICE AND ITS
MANUFACTURING METHOD
PUBN-DATE: August 23, 2002

INVENTOR- INFORMATION:
NAME COUNTRY
MATSUYAMA, ISAMU N/A

ASSIGNEE- INFORMATION:
NAME COUNTRY
OKI ELECTRIC IND CO LTD N/A

APPL-NO: JP2001183049

APPL-DATE: June 18, 2001

PRIORITY-DATA: 2000368398 (December 4, 2000)

INT-CL (IPC): H01L021/203, H01L021/205, H01L021/306,
H01L021/338 , H01L029/06 , H01L029/778 , H01L029/812 ,
H01S005/343

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a manufacturing method of a semiconductor device for forming an extremely thin dot pattern in a nanometer size on a semiconductor layer, and the semiconductor device for inhibiting deterioration in operating characteristics by the manufacturing method.

SOLUTION: An n+-GaAs buffer layer 22, an n-GaAs clad layer 24, a non-doped GaAs barrier layer 26, and a Zn-doped GaAs layer 16 are

subjected to an epitaxial growth on a (100) Si-doped GaAs substrate 20 for etching by sulfuric acid heated to 90°C for one minute, thus forming a dot 18 in the Zn-doped GaAs layer 16 with the uppermost surface Zn atom as a nucleus. Then, rinsing is made for allowing a non-doped In_{0.15}Ga_{0.85}As active layer 27, a non-doped GaAs barrier layer 28, a p-GaAs clad layer 30, and a contact layer for p+-GaAs 32 for forming electrodes to be subjected to the epitaxial growth. A p-type electrode and an n-type electrode 36 are formed, thus manufacturing a quantum dot laser 10.

COPYRIGHT: (C) 2002, JPO